

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031277

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H01L 21/768  
H01L 21/3205

(21)Application number : 10-199904

(71)Applicant : NEC CORP

(22)Date of filing : 15.07.1998

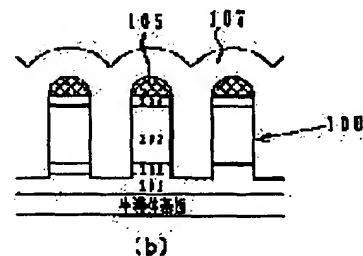
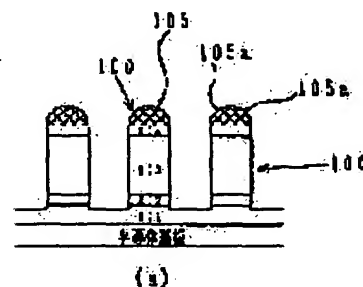
(72)Inventor : ARAKI MAMORU

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent deterioration of film coverage at the time of forming an interlayer film.

**SOLUTION:** The device has an aluminum wiring layer 100. The device includes the aluminum wiring layer 100 having a predetermined etched pattern, an oxide film 105 on the aluminum wiring layer 100 used as a mask at the time of etching the layer 100, etched parts 105a obtained by etching corners of the oxide film 105, and an interlayer insulating film 107 buried in grooves in the patterned aluminum wiring layer 100.



## LEGAL STATUS

[Date of request for examination] 15.07.1998

[Date of sending the examiner's decision of rejection] 14.08.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31277

(P2000-31277A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) IntCl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 1 L 21/768  
21/3205

H 0 1 L 21/90  
21/88

P 5 F 0 3 3  
N

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平10-199904

(22) 出願日 平成10年7月15日 (1998.7.15)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 荒木 衛

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

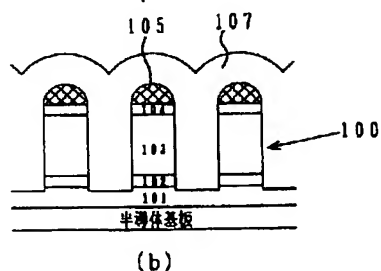
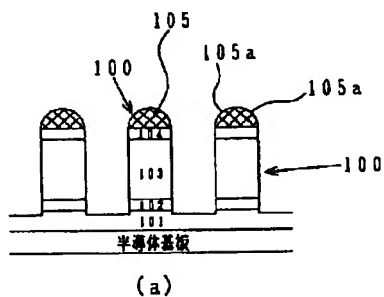
Fターム (参考) 5F033 AA04 AA13 AA15 AA28 AA34  
AA35 AA52 AA54 BA12 BA25  
BA34 BA38 BA41 EA25

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 層間膜形成時の膜のカバレッジを改善した半導体装置とその製造方法を提供する。

【解決手段】 アルミ配線100を有する半導体装置において、所定のパターンにエッチングされたアルミ配線100と、前記アルミ配線100をエッチングする際マスクとして用いられた前記アルミ配線100の上の酸化膜105と、前記酸化膜105をエッチングして酸化膜105の角を落としたエッチング部105aと、前記アルミ配線100とアルミ配線100との間に埋め込まれた層間絶縁膜107とで構成したことを特徴とする。



## 【特許請求の範囲】

【請求項1】 アルミ配線を有する半導体装置において、  
所定のパターンにエッチングされたアルミ配線と、前記アルミ配線をエッチングする際マスクとして用いられた前記アルミ配線上の酸化膜と、前記酸化膜をエッチングして酸化膜の角を落としたエッチング部と、前記アルミ配線とアルミ配線との間に埋め込まれた層間絶縁膜とで構成したことを特徴とする半導体装置。

【請求項2】 前記アルミ配線側壁は、前記酸化膜をエッチングする際付着した酸化膜で覆われていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記アルミ配線とアルミ配線との間の底部は、前記酸化膜をエッチングする際付着した酸化膜で覆われていることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記側壁には、テーパーが形成されていることを特徴とする請求項2記載の半導体装置。

【請求項5】 アルミ配線を有する半導体装置の製造方法において、

半導体基板上にアルミ配線層を堆積させる第1の工程と、

前記アルミ配線層上に酸化膜を堆積させる第2の工程と、

前記酸化膜上にフォトリソ膜を堆積する第3の工程と、

前記フォトリソ膜をパターンニングし、このパターンニングされたパターンで、前記酸化膜をエッチングする第4の工程と、

前記パターンニングされた酸化膜をマスクとして前記アルミ配線層をエッチングする第5の工程と、

前記パターンニングされた酸化膜の角を落とし丸くする第6の工程と、

前記アルミ配線とアルミ配線との間を層間絶縁膜で埋め込む第7の工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記第6の工程で、前記酸化膜をエッチングして酸化膜の角を落とし丸くする際、前記アルミ配線の側壁に前記酸化膜を付着させ、この酸化膜で覆うことを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に係わり、特に、層間膜形成時の膜のカバレッジを改善した半導体装置とその製造方法に関する。

## 【0002】

【従来の技術】デバイスの微細化に伴いアルミ配線形成後の層間膜形成においては、アルミ配線間スペース部分では高アスペクト比の埋め込みを行わなければならない。しかし、層間膜のカバレッジが悪化し配線間部分に

隙間や空洞が発生する等の埋め込み不良が発生するという問題があった。従って、配線の微細化と共に層間膜形成時の膜のカバレッジを改善することが望まれる。

【0003】層間膜形成時の膜のカバレッジを改善するものとしては、例えば、特開平2-244741号公報がある。

## 【0004】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、層間膜形成時の膜のカバレッジを改善した新規な半導体装置とその製造方法を提供するものである。

## 【0005】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係わる半導体装置の第1態様は、アルミ配線を有する半導体装置において、所定のパターンにエッチングされたアルミ配線と、前記アルミ配線をエッチングする際マスクとして用いられた前記アルミ配線上の酸化膜と、前記酸化膜をエッチングして酸化膜の角を落としたエッチング部と、前記アルミ配線とアルミ配線との間に埋め込まれた層間絶縁膜とで構成したことを特徴とするものであり、又、第2態様は、前記アルミ配線側壁は、前記酸化膜をエッチングする際付着した酸化膜で覆われていることを特徴とするものであり、又、第3態様は、前記アルミ配線とアルミ配線との間の底部は、前記酸化膜をエッチングする際付着した酸化膜で覆われていることを特徴とするものであり、又、第4態様は、前記側壁には、テーパーが形成されていることを特徴とするものである。

【0006】又、本発明に係わる半導体装置の製造方法の第1態様は、アルミ配線を有する半導体装置の製造方法において、半導体基板上にアルミ配線層を堆積させる第1の工程と、前記アルミ配線層上に酸化膜を堆積させる第2の工程と、前記酸化膜上にフォトリソ膜を堆積する第3の工程と、前記フォトリソ膜をパターンニングし、このパターンニングされたパターンで、前記酸化膜をエッチングする第4の工程と、前記パターンニングされた酸化膜をマスクとして前記アルミ配線層をエッチングする第5の工程と、前記パターンニングされた酸化膜の角を落とし丸くする第6の工程と、前記アルミ配線とアルミ配線との間を層間絶縁膜で埋め込む第7の工程と、を含むことを特徴とするものであり、又、第2態様は、前記第6の工程で、前記酸化膜をエッチングして酸化膜の角を落とし丸くする際、前記アルミ配線の側壁に前記酸化膜を付着させ、この酸化膜で覆うことを特徴とするものである。

## 【0007】

【発明の実施の形態】本発明に係わる半導体装置とその製造方法は、積層アルミ配線エッチング時のマスクとして酸化膜等を用いる場合、積層アルミ配線エッチング後

にマスクである酸化膜をスパッタエッチングしてその角を落とすことにより後工程の層間膜形成時の膜のカバレッジを改善したことにある。

【0008】本発明によれば、アルミ配線エッチング後にマスク酸化膜のスパッタエッチング工程を設けている。アルゴンスパッタエッチングはマスク酸化膜の角を落とし、又、アルミ配線側壁及び配線間スペース底部をスパッタエッチングした酸化膜で埋め込むという役目を果たす。従って、配線形成後の層間膜形成時の膜のカバレッジが改善され、良好な埋め込みが達成される。

【0009】

【実施例】以下に、本発明に係わる半導体装置とその製造方法の具体例を図面を参照しながら詳細に説明する。

(第1の具体例) 図1、図2は、本発明に係わる半導体装置の第1の具体例の構造を示す図であって、これらの図には、アルミ配線100を有する半導体装置において、所定のパターンにエッチングされたアルミ配線100と、前記アルミ配線100をエッチングする際マスクとして用いられた前記アルミ配線100上の酸化膜105と、前記酸化膜105をエッチングして酸化膜105の角を落としたエッチング部105aと、前記アルミ配線100とアルミ配線100との間に埋め込まれた層間絶縁膜107とで構成した半導体装置が示されている。

【0010】以下に、図1、図2を用いて本発明の第1の具体例について更に詳細に説明する。図1、図2は本発明の第1の具体例の半導体装置の断面図である。まず図1(a)に示すように半導体基板上に酸化膜101を成膜し、さらにその上にスパッタ法によりバリアメタル(窒化チタン)102、アルミ合金103、反射防止膜(窒化チタン)104を順次形成する。続いてこの積層膜上に酸化膜105を形成し更にその上部にフォトリソグロフィー法でレジストパターン群106を形成する。このレジストパターン群106をマスクとしてフロロカーボン系のエッチングガスを用いて酸化膜105をエッチングする。

【0011】次に、図1(b)に示すように酸化膜105エッチング時のマスクであったフォトリソグロフィー膜106を除去し、酸化膜パターン群を形成した後、酸化膜パターン群をマスクとしてアルミ積層膜104、103、102を塩素系のエッチングガスを用いてエッチングし、積層アルミ配線を形成する。積層アルミ配線エッチング後には $O_2$ 、 $H_2O$ 、 $CH_4$ 、 $OH$ 等の混合ガスを用いてコロージョン処理を行う。

【0012】次に、図1(c)に示すようにアルミ積層膜エッチング時のマスクである酸化膜をアルゴンガスを用いてスパッタエッチングする。スパッタエッチングによりマスク酸化膜105上部の角部分がそぎ落とされて上部が丸いエッチング部105aが形成される(図2(a))。しかる後に層間膜107を形成すると、アルミ配線間100、100のスペース幅が狭い部分におい

ても開口部分が広く形成されているため、図2(b)に示すように層間膜107形成のカバレッジが良く、アルミ配線間に隙間や空洞のない良好な埋め込みが達成できる。

(第2の具体例) 本発明の第2の具体例について、図3、図4を用いて説明する。

【0013】まず、図3(a)に示すように半導体基板上に酸化膜201を成膜し、さらにその上にスパッタ法によりバリアメタル(窒化チタン)202、アルミ合金203、反射防止膜(窒化チタン)204を順次形成する。続いてこの積層膜上に酸化膜205を形成し更にその上部にフォトリソグロフィー法でレジストパターン群206を形成する。このレジストパターン群206をマスクとしてフロロカーボン系のエッチングガスを用いて酸化膜205をエッチングする。

【0014】次に、図3(b)に示すように酸化膜205エッチング時のマスクであったフォトリソグロフィー膜206を除去し酸化膜パターン群を形成し、これらの酸化膜パターン群をマスクとしてアルミ積層膜204、203、202を塩素系のエッチングガスを用いてエッチングし、積層アルミ配線を形成する。積層アルミ配線エッチング後には $O_2$ 、 $H_2O$ 、 $CH_4$ 、 $OH$ 等の混合ガスを用いてコロージョン処理を行う。

【0015】次に、図3(c)に示すようにアルミ積層膜エッチング時のマスクである酸化膜205をアルゴンガスを用いてスパッタエッチングする。図4(a)に示すように、スパッタエッチングにより酸化膜205の角部分がそぎ落とされ、且つそぎ落とされた酸化膜がアルミ配線側壁及び配線間スペース底部に付着しアルミ配線側壁に緩やかなテーパ角をもつサイドウォール207を形成することができる。205aはエッチングの際、角部分がそぎ落とされた部分である。しかる後に層間膜208を形成すると、アルミ配線間隔が狭いスペース部分においても膜形成のカバレッジが良く、図4(b)に示すように隙間の無い良好な埋め込みが達成できる。

【0016】この具体例では、サイドウォール207が形成されているので、第1の具体例より層間膜208の付着が良好になる。

(第3の具体例) 次に、本発明の第3の具体例について、図5、図6を用いて説明する。まず、図5(a)に示すように半導体基板上に酸化膜301を成膜し、さらにその上にスパッタ法によりバリアメタル(窒化チタン)302、アルミ合金303、反射防止膜(窒化チタン)304を順次形成する。続いてこの積層膜上に酸化膜305を形成し、更にその上部にフォトリソグロフィー法でレジストパターン群306を形成する。図5(b)に示すようにレジストパターン群306をマスクとしてフロロカーボン系のエッチングガスを用いて酸化膜305をエッチングする。この

ようにして形成されたフォトリソ膜、酸化膜の積層膜をマスクとして、塩素系のエッチングガスを用いて図5(c)に示すようにアルミ積層膜をエッチングする。アルミ積層膜エッチング後には、 $O_2$ 、 $H_2O$ 、 $CH_3OH$ 等の混合ガスを用いてコロージョン処理を施し、フォトリソ膜を除去する。

【0017】次に、図6(a)に示すようにアルミ積層膜上の酸化膜をアルゴンガスを用いてスパッタエッチングする。スパッタエッチングにより図6(b)に示すように、酸化膜305の角部分がそぎ落とされ、且つそぎ落とされた酸化膜がアルミ配線側壁及び配線間スペース底部に付着し、アルミ配線側壁に緩やかなテーパー角をもつサイドウォール307を形成することができる。しかる後に層間膜308を形成すると、アルミ配線間隔が狭いスペース部分においても膜形成のカバレッジが良く、図6(c)に示すように隙間の無い良好な埋め込みが達成できる。

【0018】第1の具体例及び第2の具体例ではアルミ積層膜をエッチングする際、酸化膜をわずかにエッチングしてしまい、Arスパッタエッチングする際、わずかにその角が丸くなっている。しかし、この具体例では、アルミ積層膜304、303、302をエッチングする際も酸化膜305上にレジストパターン群306が残っているため、Arスパッタエッチングする際酸化膜305の角は丸くなく、したがって、スパッタエッチングにより、サイドウォール307になる量が増え、カバレッジをより改善することが出来る。

【0019】このように、本発明の半導体装置の製造方法は、半導体基板上にアルミ配線層を堆積させる第1の工程と、前記アルミ配線層上に酸化膜を堆積させる第2の工程と、前記酸化膜上にフォトリソ膜を堆積する第3の工程と、前記フォトリソ膜をパターンニングし、このパターンニングされたパターンで、前記酸化膜をエッチングする第4の工程と、前記パターンニングされた酸化膜をマスクとして前記アルミ配線層をエッチングす\*

\*る第5の工程と、前記パターンニングされた酸化膜の角を落とし丸くする第6の工程と、前記アルミ配線とアルミ配線との間を層間絶縁膜で埋め込む第7の工程と、を含むことを特徴とするものであり、又、前記第6の工程で、前記酸化膜をエッチングして酸化膜の角を落とし丸くする際、前記アルミ配線の側壁に前記酸化膜を付着させ、この酸化膜で覆うことを特徴とするものである。

【0020】

【発明の効果】本発明に係わる半導体装置とその製造方法は、上述のように構成したので、アルミ配線間のスペース部の開口部分が広く、又、配線がテーパー形状となり層間膜形成時に中性粒子が底部まで回り込むことができ、その結果、層間膜形成時のカバレッジが改善される。

【0021】従って、層間膜形成時に、配線間部分で隙間や空洞のない良好な埋め込みが可能となる。

【図面の簡単な説明】

【図1】本発明に係わる半導体装置の第1の具体例の製造工程図である。

20 【図2】図1に続く製造工程図である。

【図3】本発明に係わる半導体装置の第2の具体例の製造工程図である。

【図4】図3に続く製造工程図である。

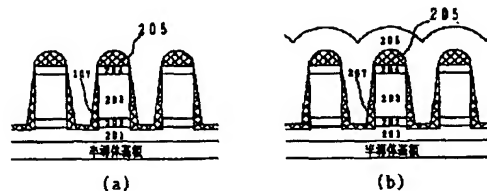
【図5】本発明に係わる半導体装置の第3の具体例の製造工程図である。

【図6】図3に続く製造工程図である。

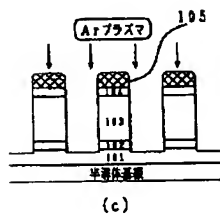
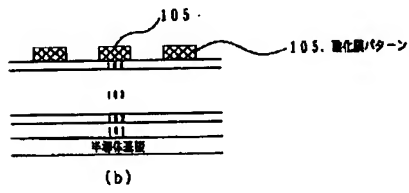
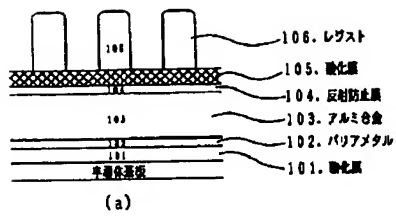
【符号の説明】

101、105	酸化膜
102	バリアメタル
103	アルミ合金
104	反射防止膜
106	フォトリソ膜
107	層間膜
105a	エッチング部

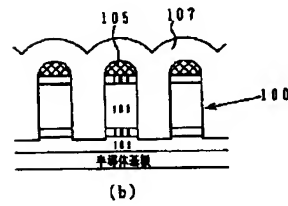
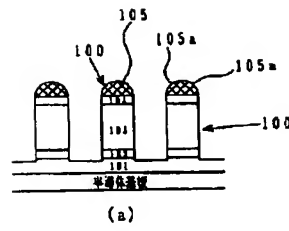
【図4】



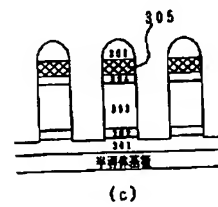
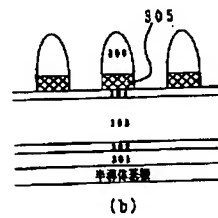
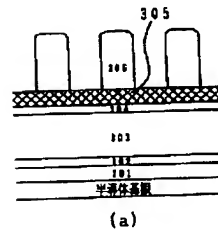
【図1】



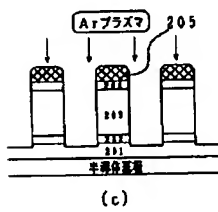
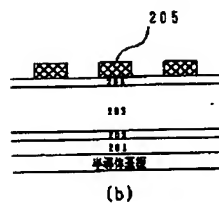
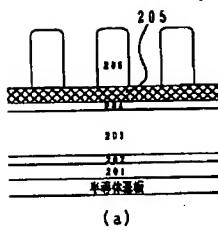
【図2】



【図5】



【図3】



【図6】

